

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平10-500527

(43) 公表日 平成10年(1998) 1月13日

(51) Int.Cl. ⁶	識別記号	片内整理番号	F I
G 1 1 C 29/00	6 0 3	8125-5L	G 1 1 C 29/00 6 0 3 G
G 0 6 F 12/16	3 1 0	7623-5B	G 0 6 F 12/16 3 1 0 P
G 1 1 C 11/413		8724-5L	G 1 1 C 11/34 3 4 1 C

審査請求 有 予備審査請求 有 (全 23 頁)

(21) 出願番号 特願平9-500101
 (86) (22) 出願日 平成7年(1995) 6月7日
 (85) 翻訳文提出日 平成9年(1997) 2月5日
 (86) 国際出願番号 PCT/EP 95/02183
 (87) 国際公開番号 WO 96/41264
 (87) 国際公開日 平成8年(1996) 12月19日
 (81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), JP, US

(71) 出願人 インターナショナル・ビジネス・マシーンズ・コーポレーション
 アメリカ合衆国10504、ニューヨーク州アーモンク、オールド・オーチャード・ロード (番地なし)
 (72) 発明者 ヴェンデル、データー
 ドイツ国シェーンアイヒ、フラウ・ヘルダーリン・ヴェーク 21
 (72) 発明者 ビレ、ユルゲン
 ドイツ国シュトゥットガルト、インパーガー・ヴェーク 9
 (74) 代理人 弁理士 合田 潔 (外2名)

最終頁に続く

(54) 【発明の名称】 スタティック・ワード線冗長メモリ・デバイス

(57) 【要約】

本発明は、1組のワード・デコーダWと、1組のワード線ドライバWLと、ワード線ドライバのサブセットを1組のワード・デコーダに接続するための複数のスイッチSと、欠陥ワード線を示す情報を格納するための記憶手段5を含むメモリ・デバイスに関する。ワード線ドライバは、いずれのワード線にも欠陥がないときに使用する、事前定義された第1のサブセットのワード線ドライバを含み、1組のワード線ドライバは、ワード線の1つに欠陥があるときに使用する、複数の第2のサブセットのワード線ドライバをさらに含む。メモリ・デバイスは、記憶手段に格納された情報に応答して、サブセットの1つを1組のワード・デコーダに論理的かつ永続的に割り当てるための論理手段4をさらに含む。論理手段4は、第2のサブセットのワード線ドライバを1組のワード・デコーダに接続するようにスイッチSを制御する。

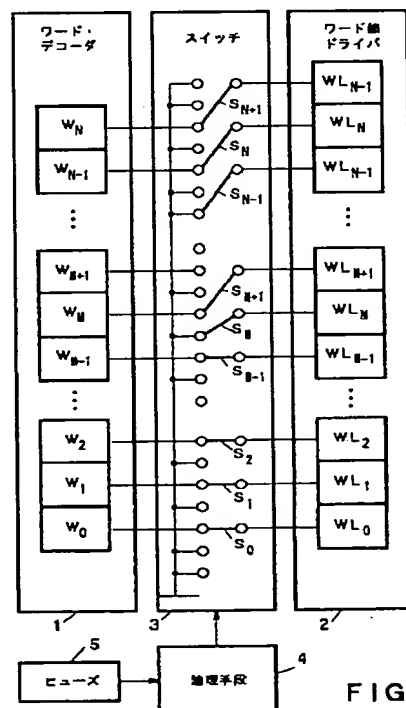


FIG. 1

【特許請求の範囲】

1. 1組のワード・デコーダ(1)と、1組のワード線ドライバ(2)と、前記ワード線ドライバのサブセットを前記1組のワード・デコーダに接続するための複数のスイッチ(3)と、欠陥ワード線を示す情報を格納するための記憶手段(5)とを含むメモリ・デバイスにおいて、

前記1組のワード線ドライバが、いずれのワード線にも欠陥がないときに使用する、事前定義された第1のサブセットのワード線ドライバを含み、

前記1組のワード線ドライバが、前記ワード線の1つに欠陥があるときに使用する、複数の第2のサブセットのワード線ドライバを含み、

前記メモリ・デバイスが、前記記憶手段に格納された情報に応答して前記サブセットの1つを前記1組のワード・デコーダに割り当てるための論理手段(4)をさらに含み、前記論理手段がそれに対応して前記スイッチを制御することを特徴とするメモリ・デバイス。

2. n 個のワード・デコーダと、 $n+1$ 個のワード線ドライバと、 $n+1$ 個のスイッチ S とを含み、前記スイッチ S が前記論理手段の制御に応答して以下の状態を取り、

a) 前記ワード線のいずれにも欠陥がない場合、

$0 < i < n$ のときに、各スイッチ S_i がワード線ドライバ i に対応するワード・デコーダ i に接続し、スイッチ S_{n+1} が

ワード線ドライバ $n+1$ を切断し、

b) 前記ワード線のうちのワード線 m に欠陥がある場合、

$0 \leq i < m$ のときに、各スイッチ S_i がワード線ドライバ i に対応するワード・デコーダ i に接続し、

スイッチ S_m が前記ワード線ドライバ m を切断し、

$m < i \leq n+1$ のときに、各スイッチ S_i がワード線ドライバ $i+1$ に対応するワード・デコーダ i に接続することを特徴とする、請求項1に記載のメモリ・デバイス。

3. 前記論理手段が複数の $n+1$ 個の論理ブロック(ASDL)を含み、前記論

理ブロックのそれぞれが前記スイッチSの1つに割り当てられ、前記論理ブロックのそれぞれが、前記論理ブロックが割り当てられたスイッチS_i用の制御信号を生成できるようになっていることを特徴とする、請求項1または2に記載のメモリ・デバイス。

4. 前記論理ブロックのそれぞれが、欠陥ワード線mのアドレスA_mを入力するための入力を有し、前記アドレスA_mが前記論理ブロックが割り当てられたワード線ドライバmに対応する場合に信号(HIT_MISS)を出すためのデコード手段(8)を有することを特徴とする、請求項3に記載のメモリ・デバイス。

5. 前記論理ブロックのそれぞれが、前記論理ブロックが割り当てられたスイッチS用の2つの制御信号S₀およびS₁を生成できるようになっており、前記論理ブロックのそれぞれがイネーブル信号(S₀IN)を有し、前記ブロックの1

つのみがイネーブル信号(FUSE_ENB)に接続できるようになっており、残りのブロックは、それぞれのイネーブル入力で前記論理ブロックのうちのもう1つのブロックの前記制御信号の1つを受け取れるようになっていることを特徴とする、請求項3または4に記載のメモリ・デバイス。

6. 前記記憶手段がヒューズなどのROMであることを特徴とする、請求項1ないし5のいずれかに記載のメモリ・デバイス。

7. 請求項1ないし6のいずれかに記載のメモリ・デバイスを取り入れたことを特徴とする集積回路チップ。

8. 請求項1ないし6のいずれかに記載のメモリ・デバイスを含むことを特徴とするコンピュータ・システム。

9. 請求項1ないし8のいずれかに記載のメモリ・デバイスでワード線冗長を実現するための方法において、

a) 前記ワード線のうちの少なくとも1つに欠陥がある場合に欠陥ワード線を示す情報を格納するステップと、

b) 前記ワード線ドライバのサブセットを前記1組のワード・デコーダに永続的に接続するステップとを含むことを特徴とする方法。

【発明の詳細な説明】

スタティック・ワード線冗長メモリ・デバイス

本発明は、アクセス時間上の不利益なしにワード線冗長を実施するメモリ・デバイスおよび方法に関する。

メモリ・アレイの歩留まりを高めるためにワード線冗長を応用することは、半導体業界全体で受け入れられていることである。魅力的なものにするには、チップ・パフォーマンス（たとえば、アクセス時間）、必要電力、サイズに重大な影響を及ぼさずにワード線冗長を行う必要がある。これまで数多くの手法が提案され、その成功の度合いは様々である。たとえば、次の通りである。

1982年12月21日にタケマエに対して発行された米国特許第4365319号では、2種類のデコーダおよびドライバ、すなわち、着信アドレスが欠陥アドレスであるかどうかを判定するためのPROMデコーダ、冗長アレイを駆動するための冗長ドライバ、メイン・メモリ・セル・マトリックスを駆動するための行アドレス・デコーダおよびドライバを使用することによって、冗長を実施している。上記特許に教示の第1の実施例（第1図）は、スイッチ7によってアクセス時間上の不利益が発生し、大電流を処理するためにスイッチが大きくなければならないので半導体空間上の不利益も発生する。第2の実施例（第2図～第4図）では、複数のA

NDゲート $D_0 \sim D_{63}$ が大きいスイッチ7（第1図）に取って代わっているが、これはそれほどの改善になっていない。というのは、メモリ・デバイスには、依然としてアクセス時間（たとえば、ANDゲート）上の不利益があり、ANDゲート $D_0 \sim D_{63}$ からなる集合面積が依然として大きいので半導体空間上の不利益もあるからである。第3の実施例（第5図～第10図）には、デコーダおよびドライバ9および10の活動化をそれぞれ制御するためにANDゲート $D_{91} \sim D_{94}$ （第6図）とANDゲート $D_0 \sim D_3$ （第8A図）を取り入れたことによって発生するANDゲート遅延によるアクセス時間上の不利益がある。

1973年8月14日にスミラス（Sumilas）他に対して発行された米国特許第3753244号では、欠陥アドレス・ストアおよび比較器回路とともにメモ

リ・チップ上に複数のメモリ・セルからなる余分な線をおき、欠陥セル線を使用禁止にし、それを余分なセル線で置き換えることによって、冗長を実施している。

Intel 2164A 64K DRAMは、それが使用中の通常のワード線か冗長ワード線かにかかわらず、アクセス時間が同じになるメモリ・デバイスを代表するものであるが、この製品は、冗長修理を見込むようにチップ・タイミングがセットアップされているので、ワード線冗長で修理したかどうかにかかわらず、必ずアクセス時間上の不利益の影響を受ける。より具体的には、冗長ワード・デコーダが着信

アドレスとの一致を感知した後、障害のあるワード線のワード・デコーダの選択解除を行う必要性があるために、チップ・パフォーマンスが低速化する。一致が感知されると、選択解除ジェネレータが発動され、通常のワード・デコーダからなる行全体の選択解除を行う。障害のあるワード線ワード・デコーダの選択解除が行われた後、ワード線ドライブは使用可能になる。2164Aに関する詳細については、Intel Application Description AP-131 (pp. 14-16) と、「An Analysis of the i2164A」 (Mosaid Incorporated、p.5、41-52、1982年4月) を参照されたい。さらに、IBMには、同様の手法を利用した72k DRAMがあることにも留意されたい。

ベル研究所の64K DRAM (R. T. スミス (Smith)、J. D. チリパラ (Chilipala)、J. F. M. ビンデルス (Bindels)、R. G. ネルソン (Nelson)、F. H. フィッシャー (Fischer)、T. F. マンツ (Mantz) の論文「Laser Programmable Redundancy and Yield Improvement in a 64K DRAM」 (IEEE Journal of Solid-State Circuits、Vol. SC-16、No. 5、pp. 506-514、1981年10月) および256K DRAM (G. A. ベネヴィット (Benevit)、J. M. カサード (Cassard)、K. J. ディムラー (Dimmler)、A. C. ダンプリ (Dumbri)、M. G. マウンド (Mound)、F. J. プロチク (Procyk)、W. R. ローゼンツヴァイク (Rosenzweig)、A. W. ヤノフ (Yanof) の論文「A 256k Dynamic Random Access Memory」 (IEEE Jour

nal of Solid-State Circuits, Vol. SC-17, No. 5, pp. 857-861, 1982年10月)では、ワード線ピッチ上でレーザヒューズ冗長を使用することによって、アクセス時間上の影響のないワード線冗長を実施している。ワード線内のプログラム可能リンクを切断することによって欠陥ワード線を永続的に切断するので、アクセス時間上の不利益は一切発生しない。現在および今後の高密度メモリ製品の設計規則が厳しくなればなるほど、ワード線ピッチが縮小されるので、この冗長方法は不利である。その結果、現在のレーザ・プログラミング・システムから得られるものを上回るレーザ・スポット・サイズおよびレーザ・ビーム位置の正確さが要求されることになる。したがって、レーザヒューズ冗長は、現行レベルのレーザ技術ではワード線ピッチの拡大の必要性のためにオフ・ワード線ピッチ方法またはメモリ・チップ・サイズの拡大が必要になるという点で不利である。

IBMの32K DRAM (B. F. フィッツジェラルド (Fitzgerald) およびE. P. トーマ (Thoma) の論文「Circuit Implementation of Fusible Redundant Addresses on RAMs for Productivity Enhancement」(IBM Journal of Research and Development, Vol. 24, No. 3, pp. 291-295, 1980年5月)では、冗長ワード線用の個別のセンス・アンプ列を追加することによって、アクセス時間上の不利益のないワード線冗長を実施している。冗長ワード線と欠陥ワード線は並行して動作し、感知動作中に冗長センス・アンプ対通常セン

ス・アンプの選択が行われるので、アクセス上の不利益は一切発生しない。この手法は、冗長ワード線に沿った各ビット線ごとに追加のラッチが必要になるのでチップ・サイズが大幅に拡大されるという点で不利である。

同様に、R. P. センカー (Cenker)、D. G. クレモンズ (Clemons)、W. R. ヒューバー (Huber)、J. B. ペトリッツィ (Petrizzi)、F. J. プロチク (Procyk)、G. M. トラウト (Trout) の論文「A Fault-Tolerant 64K Dynamic Random Access Memory」IEEE Transactions on Electron Devices, Vol. ED-26, No. 6, 1979年6月)では、アクセス時間上の不利益は一切ないが、各冗長および非冗

長デコーダ内にディスエーブル用ヒューズを配置する必要がある、したがって、必要なチップ面積を大幅に拡大するワード冗長技法を教示している。

B. F. フィッツジェラルドおよびD. W. ケメラー (Kemerer) の論文「Memory System With High-Performance Word Redundancy」(IBMテクニカル・ディスクロージャ・ブルテン、Vol. 19、No. 5、1976年10月)には、独立アレイ内の通常行と冗長行の両方にアクセスすることによる、アクセス上の不利益にないワード冗長の実施態様が記載されている。良好データの選択は、データ・アウト・バッファで行われている。

EP-A-0 336 101により、ワード線冗長を実施するための半導体メモリ・デバイスおよび方法が知られて

いる。冗長ワード・デコーダは、着信アドレス信号を欠陥アドレスのリストと比較し、その比較に応答して、少なくとも1つの比較信号を生成し、少なくとも1つの冗長ワード線に沿った冗長ドライバ信号の伝播を制御する。メイン・トリガは、比較信号を受け取り、それに応答して、メイン・ワード線ドライバの発動を起動し、メイン・ドライバ信号を生成する。メイン・ワード線ドライバと冗長ワード・デコーダは、所与の比較信号の場合にメイン・ドライバ信号と冗長ドライバ信号の一方だけがメモリ・アレイに印加されるように、比較信号の相反する状態に応答する。

EP-A-0 029 322により、冗長メモリ・セル・アレイがメイン・メモリ・セル・マトリックスと統合された半導体デバイスが知られている。2種類のデコーダおよびドライバによって、1つのメモリ・セル・アレイが選択される。冗長メモリ・セル・アレイがデコーダによって選択されると、デコーダは1種類のデコーダおよびドライバを直接使用禁止にし、その結果、もう一方のデコーダおよびドライバも使用禁止になる。

冗長メモリ・セル・アレイがメイン・メモリ・セル・マトリックスと統合された半導体メモリ・デバイスについては、米国特許第4392211号に開示されている。メイン・メモリ・セル・マトリックスのメモリ・セルは第1および第3のデコーダによって選択され、冗長メモリ・セル・アレイのメモリ・セルは第2

および第3のデコーダによって選択され

る。冗長メモリ・セル・アレイが第2のデコーダによって選択されると、第1のデコーダへのクロック信号の伝送は切替え回路によって停止される。

上記の手法は半導体製造技術の重要な進歩を表すものであるが、ワード線冗長を提供可能な改良されたメモリ・デバイスおよび手法の必要性が依然として存在する。したがって、本発明の目的は、ワード線冗長を実施するための改良されたメモリ・デバイスおよび方法を提供することにある。

本発明の目的は、請求の範囲に記載された特徴によって解決される。

本発明のメモリ・デバイスは、1組のワード・デコーダと1組のワード線ドライバとを含む。ワード線ドライバの数は、ワード・デコーダの数より多い。これは、各ワード線ドライバが別のワード線に接続されているので、物理的な実アドレス空間がアドレス可能なアドレス空間より大きいことを意味する。1つまたは複数のワード線に欠陥がある場合、欠陥ワード線に属すワード線ドライバを含まないワード線ドライバのサブセットが選択される。この1組のワード線ドライバは、いずれのワード線にも欠陥がないときに使用する通常の1組のワード線ドライバとは異なる。

メモリ・デバイスは、欠陥ワード線を示す情報を格納するための記憶手段をさらに含む。これは、「ヒューズ・アドレス」によって実現することができる。メモリ・デバイスがそれに印加された電源電圧を保有していると、欠陥ワード線を

示す情報に応じて、このようなサブセットのワード線ドライバが論理手段によって選択される。論理手段によって選択されたサブセットは、その1組のワード・デコーダに永続的に割り当てられる。さらに、論理手段はワード・デコーダとワード線ドライバとの間のスイッチを制御し、論理手段によって選択されたサブセットのワード線ドライバをその1組のワード・デコーダに接続する。それにより、選択されたサブセットのワード線ドライバのうちの各ワード線ドライバがワード・デコーダのうちの特定の1つに永続的に接続される。

ワード線ドライバの選択と接続は、メモリ・デバイスがたとえばデータの読み

書きのために使用される前にすでに行われる。ワード線ドライバの永続的接続が確立すると、ワード線ドライバとワード・デコーダとの接続が静的なものなので、ワード線冗長を実施するためにさらに追加のステップを行う必要はない。このため、メモリ・デバイスが実際にデータの読み書きに使用されているときは、さらにデコード動作または切替え動作を行う必要はない。

原則として、本発明では冗長ワード線の数には制限されない。たとえば、冗長ワード線が1つだけの場合、これにより、1つの追加スイッチも必要になる。したがって、各ワード線ドライバがスイッチを1つずつ必要とするので、ワード・デコーダの数が n 個である場合、 $n+1$ 個のワード線からなる $n+1$ 個のワード線ドライバと $n+1$ 個のスイッチが必要になる。

ここで検討する例の論理手段は、それぞれのスイッチについて3通りの制御状態を生成する必要がある。すなわち、第1の制御状態は、対応するスイッチを、欠陥ワード線が全くないときにもそのスイッチが接続されるその「通常」ワード・デコーダに接続する必要があることを示す。

第2の制御状態は、そのワード線ドライバが欠陥ワード線に属し、別のワード線ドライバに置き換えるべきなので、対応するスイッチによってその関連ワード線ドライバをワード・デコーダから切断する必要があることを示す。それにより、欠陥ワード線に属すワード線ドライバは使用禁止になる。これは、ワード線ドライバを接地することによって実施することができる。

論理手段の第3の状態は、対応するスイッチによって、欠陥ワード線が全くないときにワード線ドライバが接続される「通常」ワード・デコーダにそのワード線ドライバを接続する必要があることを示す。この場合、ワード線ドライバは、第1の制御状態になっているスイッチを介してまだワード線ドライバに接続されていない別のワード・デコーダに接続される。たとえば、これは、欠陥ワード線が全くないときにワード線ドライバが接続される「通常」ワード・デコーダより先行するワード・デコーダにすることができる。この動作原理は、2つまたはそれ以上の冗長ワード線の場合にも同様に実現することができる。

ワード線冗長を実施しても永続的な不利益が一切発生しな

いので、本発明によるメモリ・デバイスを取り入れたコンピュータ・システムでは、先行技術に比べ、動作速度が改善されることを特徴とする。さらに、本発明は、本発明の原理を実現する場合に比較的少数の電子構成要素しか必要とせず、その結果、チップ上の空間を余り必要としないという点で有利である。

本発明を実施する方法について、以下の図面に関連して詳しく後述する。

第1図は、スイッチによるワード・デコーダとワード線ドライバとの接続を示す概略図である。

第2図は、複数の論理ブロックを含む論理手段の実現を示す概略図である。

第3図は、論理ブロックの1つの実現をより詳細に示す回路図である。

第4図は、論理ブロックに取り入れられたデコーダの実現をより詳細に示す図である。

第5図は、スイッチの1つの実現を示す回路図である。

第1図に示されているように、1組のワード・デコーダ1は、複数のスイッチ3により1組のワード線ドライバ2のサブセットに接続されている。ここで検討する例の1組のワード・デコーダは、ワード・デコーダ W_0 、 W_1 、 W_2 、 \dots 、 W_{m-1} 、 W_m 、 W_{m+1} 、 \dots 、 W_{n-1} 、 W_n を含む。1組のワード線ドライバ2は、ワード線ドライバ WL_0 、 WL_1 、 WL_2 、 \dots 、 WL_{m-1} 、 WL_m 、 WL_{m+1} 、 \dots 、 WL_{n-1} 、 WL_n 、 WL_{n+1} を含む。

1組のワード線ドライバ2のうちのそれぞれのワード線ドライバ WL は、1つのワード線に接続されている。このワード線は図には示していない。ワード線ドライバ WL の数はワード・デコーダの数より多いので、物理的にアドレスされた空間はアドレス可能なアドレス空間より大きい。ここで検討するケースでは、ワード・デコーダよりワード線ドライバの方が1つ多くなっている。

各ワード線ドライバ WL には、複数のスイッチ3のうちの1つが関連付けられている。複数のスイッチ3のうちのスイッチ S_0 は WL_0 に接続され、 S_1 は WL_1 に、 S_2 は WL_2 に、 \dots 、 S_{m-1} は WL_{m-1} に、 S_m は WL_m に、 S_{m+1} は WL_{m+1} に、 \dots 、 S_{n-1} は WL_{n-1} に、 S_n は WL_n に、 S_{n+1} は WL_{n+1} に、それぞれ接

続されている。スイッチSの数はワード線ドライバWLの数と等しい。

ここで検討する例では、ワード線WL_mに欠陥があると想定する。その結果、ワード線ドライバWL_mのスイッチS_mはワード線WL_mをアースに接続し、あるいは他のワードによって、スイッチS_mは欠陥のあるワード線ドライバWL_mを1組のワード・デコーダ1から切断し、その結果、ワード線ドライバWL_mを使用禁止にする。

この状況は、欠陥ワード線ドライバが全くない通常の場合とは異なる。通常の場合では、1組のワード・デコーダ1のうちの各ワード・デコーダは、1組のワード線ドライバ2のうちの事前定義された第1のサブセットのワード線ドライ

バに接続されている。この例では、通常の場合のために事前定義された第1のサブセットのワード線ドライバは、1組のワード線ドライバWL₀、WL₁、WL₂、 \dots 、WL_{n-1}、WL_nである。このため、通常の場合では、ワード・デコーダW₀はワード線ドライバWL₀に接続され、W₁はWL₁に、W₂はWL₂に、 \dots 、W_{m-1}はWL_{m-1}に、W_mはWL_mに、W_{m+1}はWL_{m+1}に、 \dots 、W_{n-1}はWL_{n-1}に、W_nはWL_nに、それぞれ接続される。ワード線ドライバWL_{n+1}は、そのスイッチS_{n+1}によってアースに接続され、その結果、使用禁止になる。

第1図に示した状況は、欠陥ワード線ドライバが全くない通常の場合ではない。第1図に示したケースではワード線ドライバの1つ、この例ではWL_mに欠陥があるので、アドレス可能なアドレス済み空間を物理的なアドレス空間に通常の場合とは異なる分布にする必要はない。これは、1組のワード・デコーダ1のうちのワード・デコーダWを1組のワード線ドライバ2のうちの第2のサブセットのワード線ドライバに接続することによって実行される。第2のサブセットは、欠陥ワード線ドライバWL_mを除く、1組のワード線ドライバ2全体から構成される。

ワード・デコーダW₀～W_{m-1}は、欠陥ワード線ドライバが全くない通常の場合と同様に、それぞれのワード線ドライバWL₀～WL_{m-1}に接続されている。これに対して、ワード・デコーダW_m～W_nは、ワード線ドライバWL_{m+1}～WL_{n+1}に

接続されている。これは、ワード線 WL_m に欠陥があり、このワード線がスイッチ S_m によって使用禁止になっているからである。ワード線ドライバ WL_{n+1} はもはや使用禁止にはならないが、スイッチ S_{n+1} によってワード・デコーダ W_n に接続される。これにより、欠陥ワード線ドライバ WL_m の機能性が置き換えられる。

第1図に示すメモリ・デバイスは、スイッチ $S_0 \sim S_{n+1}$ のそれぞれを制御するために複数のスイッチ3に接続された論理手段4をさらに含む。制御論理手段4は記憶装置5に接続されている。欠陥ワード線がある場合、記憶装置5は欠陥ワード線のアドレスと、そこに格納された対応するワード線ドライバのアドレスを有する。ここで検討する例では、ワード線 m のアドレス A_m とその結果のワード線ドライバ WL_m のアドレスが記憶装置5に格納されている。記憶装置5は、メモリ・デバイスのテスト後にプログラミングされる複数のヒューズによって実現することができる。

第2図は、制御論理手段4の1つの実現例の概要を示している。制御論理手段4は、複数のアドレス空間分布論理ブロック5、6、7、・・・を含む。複数のスイッチ3のうちの各スイッチ S ごとに、このようなアドレス空間分布論理ブロック(ASDL)が1つずつ存在する。論理ブロック5(ASDL0)はスイッチ S_0 に属し、論理ブロック6(ASDL1)は S_1 に属し、論理ブロック7(ASDL2)は S_2 に属す。スイッチ $S_3 \sim S_{n+1}$ にそれぞれ属す、その他の

論理ブロックASDL3～ASDL $n+1$ は、第2図には示していない。それぞれの論理ブロックは、アドレス A_m の入力のために記憶装置5に接続された入力FUSADRを備えている。さらに、各論理ブロックはデコーダ8を備えている。アドレス A_m が、論理ブロックが属すスイッチのワード線ドライバが一致するワード線のアドレスに対応する場合、デコーダ8は信号を出す。この結果、論理ブロック当たり2つの出力信号 S_0 および S_1 が発生する。スイッチ S_0 は、その論理ブロック5(ASDL0)の出力信号 S_0_0 および S_1_0 によって制御される。同様に、スイッチ S_1 および S_2 は、出力信号 S_0_1 、 S_1_1 、および S_0_2 、 S_1_2 によってそれぞれ制御される。その他の出力信号 S_0

$_3 \sim S0_n+1$ 、 $S1_3 \sim S1_n+1$ は、第2図には示していない。

信号 $S0_x$ が論理1に等しく、信号 $S1_x$ が論理0に等しい場合、対応するワード線ドライバ WL_x をスイッチ S_x によって通常のワード・デコーダ W_x に接続する必要があることを意味する。信号 $S0_x$ と $S1_x$ がともに論理0に等しい場合、スイッチ S_x は、ワード線ドライバ WL_x を使用禁止にするように制御される。信号 $S0_x$ が論理0に等しく、信号 $S1_x$ が論理1に等しい場合、スイッチ S_x は、ワード線ドライバ WL_x をワード・デコーダ W_{x-1} に接続するように制御される。

論理ブロック5には、さらにもう1つの入力信号FUSE

$_ENB$ が印加される。この入力信号FUSE $_ENB$ は、欠陥ワード線がある場合に論理1になる。これとは反対の場合、FUSE $_ENB$ は論理0になる。FUSE $_ENB$ が論理0である場合、この信号はANDゲート9を通過し、次の論理ブロック6の対応する入力 $S0EN$ に達する。その結果、入力信号FUSE $_ENB$ はすべての論理ブロックを取って伝播する。

一例として、第3図は、論理ブロックの1つ、すなわち、論理ブロック5をより詳細に示す。ただし、すべての論理ブロックの回路図は同一であることに留意されたい。

論理ブロック5は、デコーダ8と、ANDゲート9と、インバータ10とを含む。入力信号FUSADRはデコーダ8に入力される。記憶装置5に格納されたアドレスと、その結果の信号FUSADRが、論理ブロックASDLMが属すワード線mのアドレス A_m と一致する場合、デコーダ8は信号HIT $_MISS$ を出すことになる。両方のアドレスが一致する場合、信号HIT $_MISS$ は論理0になる。

論理ブロック5の場合、記憶装置5に格納されたアドレスがワード線0のアドレス A_0 であるときに、信号HIT $_MISS$ が論理0になる。信号HIT $_MISS$ は、もう1つの入力信号 $S0IN$ と同様に、ANDゲート9に入力される。論理ブロック5の場合、入力信号 $S0IN$ は信号FUSE $_ENB$ になる。このヒューズ・イネーブル信号FUSE $_ENB$ は、欠陥ワード線が全くない場合

に論理0になる。この

場合、ANDゲート9の出力とその結果の $S0_0$ は、信号 HIT_MISS の状態とは無関係に必ず論理0になる。

信号 $FUSE_ENB$ が論理1である場合、これは、欠陥ワード線があることを示している。この場合、ANDゲート9の出力は信号 HIT_MISS に依存する。インバータ10は入力 $S0IN$ に接続され、出力 $S1_0$ を生成する。

ここで検討する例には、5ビットのアドレス空間がある。これに対応して、デコーダ8は、5つの入力 $A0$ 、 $A1$ 、 $A2$ 、 $A3$ 、 $A4$ を有するNANDゲートを備えている。信号 $FUSADR$ は、アドレス・ビット $B0 \sim B4$ と、アドレス・ビットの補数 $\overline{B0} \sim \overline{B4}$ とを含む。 $FUSADR$ の真数ビ

ットまたは補数ビットのどちらがデコーダ8のNANDゲートの入力の1つに接続されるかは、デコーダ8が属す論理ブロックが割り当てられるアドレス A_m によって決まる。

これについては、第4図に関連してより詳しく説明する。第4図の1行目は、信号 $FUSADR$ のビット位置、すなわち、 $B0 \sim B4$ と $\overline{B0} \sim \overline{B4}$ を示す。第4図の2行目は、論理ブロック5 ($ASDL0$) のNANDゲートの入力 $A0 \sim A4$ のうちのどれが入力信号 $FUSADR$ のどのビットに接続されるかを示す。 $ASDL0$ では、補数ビット $\overline{B0} \sim \overline{B4}$ だけを使用する。 $\overline{B0}$ は $A0$ に接続さ

れ、 $\overline{B1}$ は $A1$ に、 $\overline{B2}$ は $A2$ に、 $\overline{B3}$ は $A3$ に、 $\overline{B4}$ は A

4に、それぞれ接続される。

アドレス00000を有するワード線0に欠陥があると想

定すると、この結果、 $ASDL0$ のデコーダ8のNANDゲートへの入力は11111になる。このため、 $ASDL0$ の信号 HIT_MISS は論理0になり、アドレス一致が発生したことを示す。同様に、 $FUSADR$ のビット $B0$ は AS

DL1のデコーダ8のNANDゲートの入力A0に接続され、A1～A4の入力はそのまま変わらない。この原理は、信号FUSADRのビット位置をその他の論理ブロックASDL2、ASDL3、・・・ASDL $n+1$ に接続する場合にも当てはまる。

第5図は、スイッチSの一実施態様を示している。一例として、第5図に示すスイッチ11は、スイッチ S_{m+1} であると見なす。スイッチ S_{m+1} は、ワード・デコーダ W_{m+1} および W_m に接続された入力12および13を有する。さらに、スイッチ S_{m+1} は、入力14および15でそのASDL $m+1$ の信号 $S0_m+1$ および $S1_m+1$ に接続される。スイッチ S_{m+1} の出力16は、このスイッチのワード線ドライバ WL_{m+1} に接続される。スイッチ S_{m+1} は、制御信号 $S0_m+1$ および $S1_m+1$ の状態に応じて、ワード・デコーダ W_{m+1} または W_m とワード線ドライバ WL_{m+1} との接続を選択的に確立する働きをする。ワード線ドライバ WL_{m+1} が欠陥ワード線 $m+1$ に属する場合、スイッチ S_{m+1} はワード線ドライバ WL_{m+1} を使用禁止にすることになる。これは、第5図に示すようにスイッチ S_{m+1} の内部回路によって行われる。

制御信号 $S0_m+1$ および $S1_m+1$ はNORゲート

12に接続される。NORゲート12の出力はトランジスタ13のベースに接続される。トランジスタ13の一方の端子は出力16に接続され、トランジスタ13のもう一方の端子はアースに接続される。記憶装置5に格納されたアドレスとワード線 $m+1$ とのアドレスの一致が発生すると、制御信号 $S0_m+1$ と $S1_m+1$ はともに論理0になる（第3図および第4図を参照）。その結果、NORゲート12の出力が論理1になり、トランジスタ13がスイッチ S_{m+1} の出力16をアースに接続することになる。その結果、ワード線ドライバ WL_{m+1} はワード・デコーダから切断され、使用禁止になる。

さらに、スイッチ S_{m+1} は、パス・ゲート17および18を備えている。パス・ゲート17の一方の端子は、入力12に接続され、その結果、ワード・デコーダ W_{m+1} に接続されている。パス・ゲート17のもう一方の端子は、出力16に接続され、その結果、ワード線ドライバ WL_{m+1} に接続されている。パス・ゲート

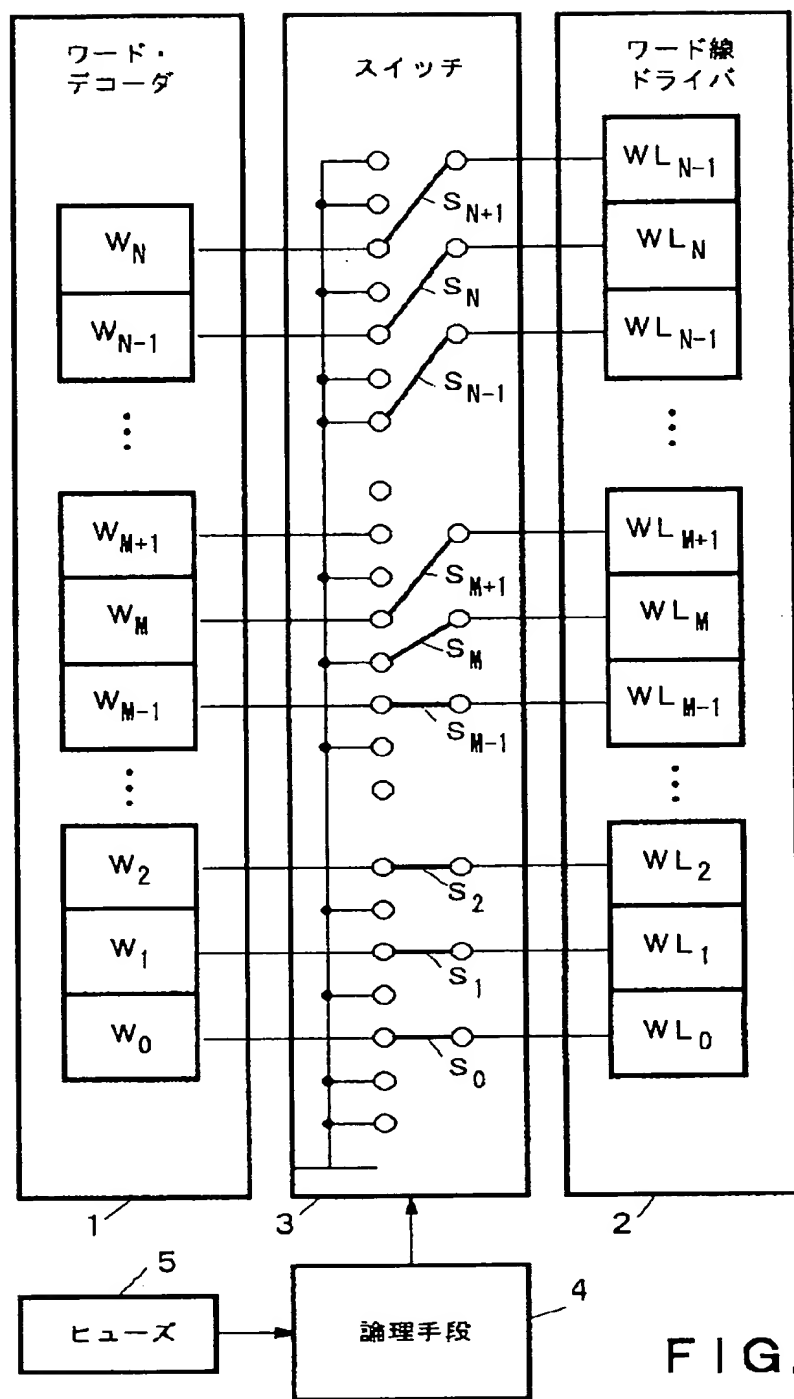
ト17および18は、この好ましい実施例の実現に使用したCMOS技術による2つの相補形トランジスタから構成される。パス・ゲート17のトランジスタのゲートは入力14に接続され、パス・ゲート17のP型トランジスタは信号経路内に相互接続されたインバータを備えている。これは、パス・ゲート18にも同様に当てはまる。パス・ゲート18のゲートは、入力15に接続され、その結果、制御信号 $S1_m+1$ に接続される。両方の制御信号が論理0に等

しい場合、パス・ゲート17および18の両方が導電性になるわけではなく、ワード・デコーダとワード線ドライバ WL_{m+1} との接続は全く確立されない。制御信号 $S0_m+1$ が論理1である場合、ワード・デコーダ W_{m+1} はワード線ドライバ WL_{m+1} に接続される。この場合、ワード線ドライバ WL_{m+1} に一度に接続できるのは1つのワード・デコーダに限られるので、制御信号 $S1_m+1$ は論理0になる。

制御信号 $S0_m+1$ が論理0で、制御信号 $S1_m+1$ が論理1である場合、結果的にワード・デコーダ W_m はワード線ドライバ W_{m+1} に接続される。この状況は第1図に示すケースに対応する。

スイッチの切替え動作は、すでにメモリ・デバイスに電源電圧が印加されたときに行われる。制御論理手段4の制御下でスイッチによりワード・デコーダとワード線ドライバとの接続が確立されると、少なくとも電源電圧がメモリ・デバイスに印加されている限り、この接続はそのまま変わらない。その結果、メモリ・デバイスを使用して読取り／書込み動作を実行するときに切替えまたはデコード動作を「オン・ザ・フライ」方式で行う必要がないので、アクセス時間上の不利益が一切発生しない。ワード線に欠陥があるという情報は、信号 $FUSE_ENB$ をプログラミングするためにデバイスをテストし、同様に信号 $FUSADR$ をプログラミングするために欠陥ワード線のアドレスをテストした後に、メモリ・デバイスに格納される。

【図1】



【図2】

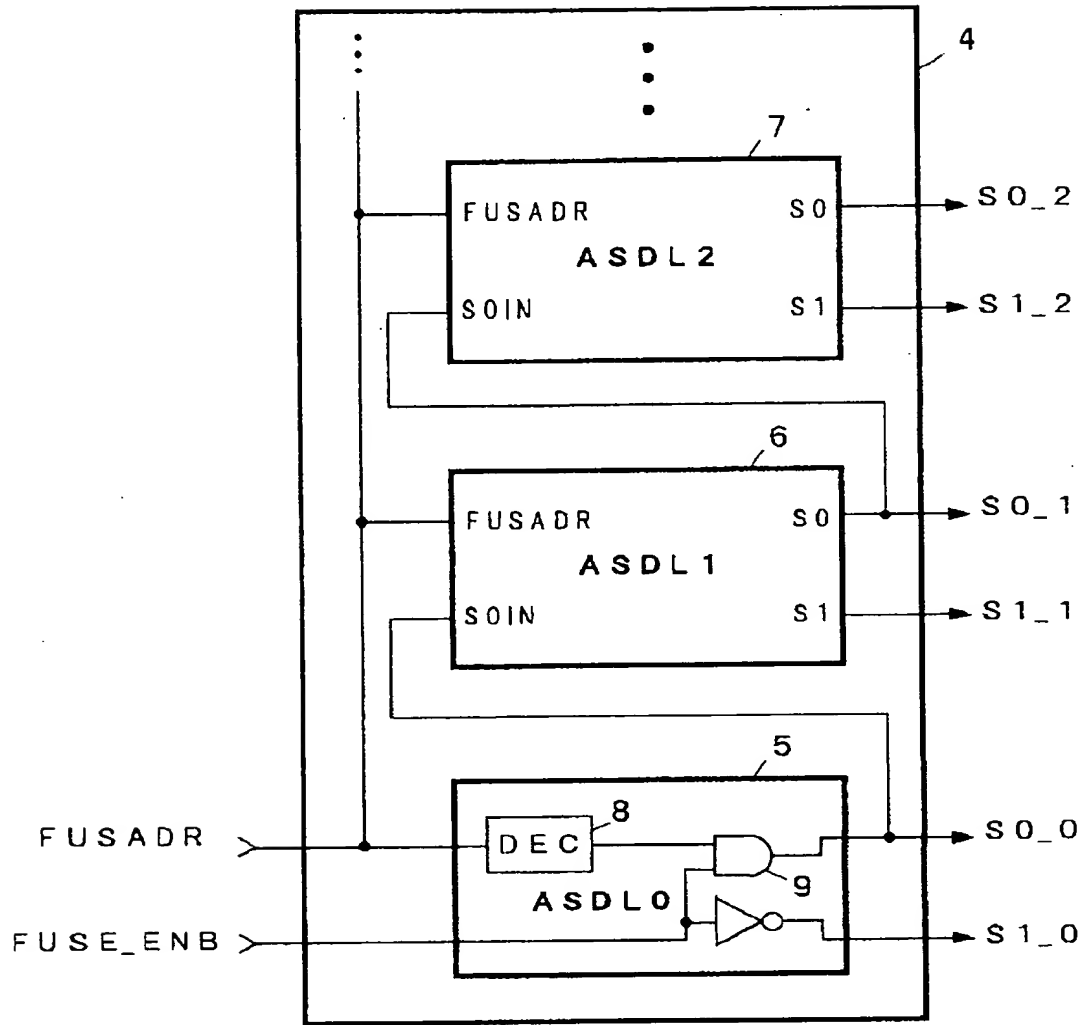


FIG. 2

【図3】

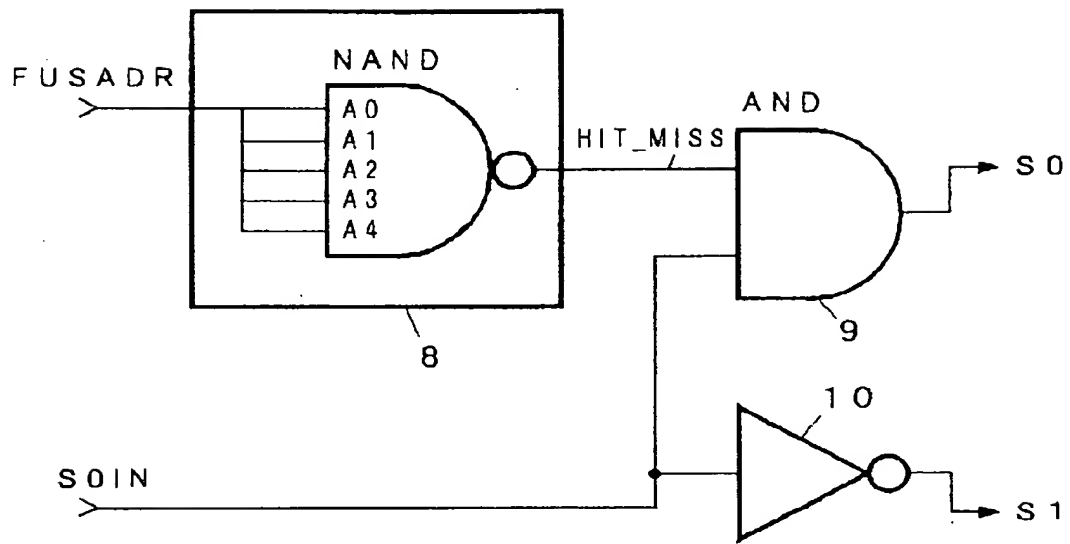


FIG. 3

【図4】

FUSADR	ASDL0	ASDL1	ASDL2	ASDL3	...
B0		A0		A0	...
B1			A1	A1	...
B2					...
B3					...
B4					...
$\overline{B0}$	A0		A0		...
$\overline{B1}$	A1	A1			...
$\overline{B2}$	A2	A2	A2	A2	...
$\overline{B3}$	A3	A3	A3	A3	...
$\overline{B4}$	A4	A4	A4	A4	...

FIG. 4

【図5】

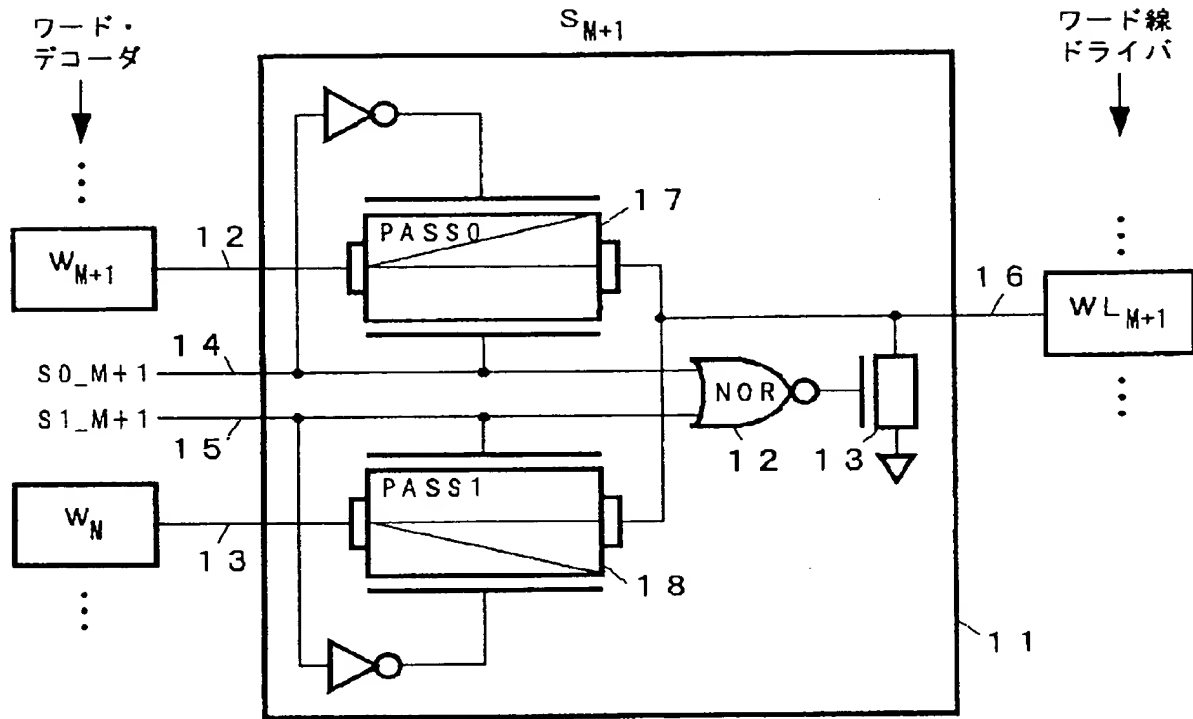


FIG. 5

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.
PC/EP 95/02183

A. CLASSIFICATION OF SUBJECT MATTER IPC 6 G06F11/20		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 6 G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP,A,0 401 957 (MITSUBISHI DENKI KABUSHIKI) 12 December 1990 see column 9, line 52 - column 12, line 38; figures 3,4,6,10,15	9
Y	see column 16, line 49 - column 17, line 18 see column 27, line 51 - column 28, line 27	1
Y	EP,A,0 361 404 (NEC CORPORATION) 4 April 1990 see abstract; figures 2-5	1
A	US,A,5 146 429 (KAWAI ET AL.) 8 September 1992 see abstract; figure 5	1
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 5 March 1996		Date of mailing of the international search report 15.03.96
Name and mailing address of the ISA European Patent Office, P.B. 5118 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 631 epo nl, Fax: (+31-70) 340-3016		Authorized officer Absalom, R

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/EP 95/02183

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0401957	12-12-90	JP-A- 3008200	16-01-91
		US-A- 5471427	28-11-95
		US-A- 5134585	28-07-92
		US-A- 5379258	03-01-95
EP-A-0361404	04-04-90	JP-A- 2089299	29-03-90
		DE-D- 68925090	25-01-96
US-A-5146429	08-09-92	JP-A- 4090193	24-03-92

Form PCT/ISA/210 (patent family annex) (July 1992)

フロントページの続き

- (72)発明者 ビュートナー、シュテファン
ドイツ国ジンデルフィンゲン、ゾマーホー
エンシュトラーク 166/1
- (72)発明者 ヴェルニッケ、フリードリヒ、クリスチャ
ン
ドイツ国ホルツガーリング、ゾネンライ
ンヴェーク 49

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.